

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-344154
 (43)Date of publication of application : 14.12.2001

(51)Int.Cl. G06F 12/08
 G06F 3/06
 G06F 12/16
 G06F 13/00

(21)Application number : 2000-167483
 (22)Date of filing : 05.06.2000

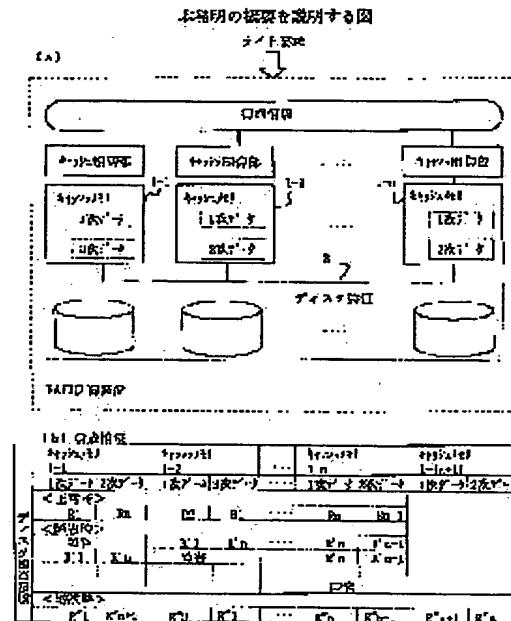
(71)Applicant : FUJITSU LTD
 (72)Inventor : KATO TADASHI
 OMURA HIDEAKI
 KUBOTA HIROMI

(54) INPUT/OUTPUT CONTROLLER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an input/output controller capable of efficiently using all the cash memories and limiting an additional unit to one.

SOLUTION: In a cash memory normal time, after data are written in respective cash memories 1-1-1-n on the basis of normal time constitutional information on writing demand from a processor, a completion response of the writing demand is returned, and the written data on the cash memory are written out to one or a plurality of disc devices 2 asynchronously with the writing completion response. If a failure is caused in the cash memory, written data to be written out to an area handled by the cash memory causing the failure are shared between the rest cash memories. In additional installation of a cash memory, the data is shifted on the basis of the constitutional information in additional installation, and then, the data is written in the cash memory in compliance with a writing demand from a processor on the basis of the constitutional information after additional installation.



LEGAL STATUS

- [Date of request for examination] 28.03.2002
- [Date of sending the examiner's decision of rejection]
- [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
- [Date of final disposal for application]
- [Patent number]
- [Date of registration]
- [Number of appeal against examiner's decision of rejection]
- [Date of requesting appeal against examiner's decision of rejection]
- [Date of extinction of right]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開2001-344154

(P2001-344154A)

(43)公開日 平成13年12月14日(2001.12.14)

| (51) Int.Cl. ⁷ | 識別記号 | F I | テーマコード*(参考) |
|---------------------------|-------|----------------------------|-------------------|
| G 0 6 F 12/08 | 5 5 7 | G 0 6 F 12/08 | 5 5 7 5 B 0 0 5 |
| | 5 0 1 | | 5 0 1 F 5 B 0 1 8 |
| | 5 1 1 | | 5 1 1 Z 5 B 0 6 5 |
| | 5 4 1 | | 5 4 1 C 5 B 0 8 3 |
| 3/06 | 3 0 2 | 3/06 | 3 0 2 A |
| | | 審査請求 未請求 請求項の数4 O L (全15頁) | 最終頁に続く |

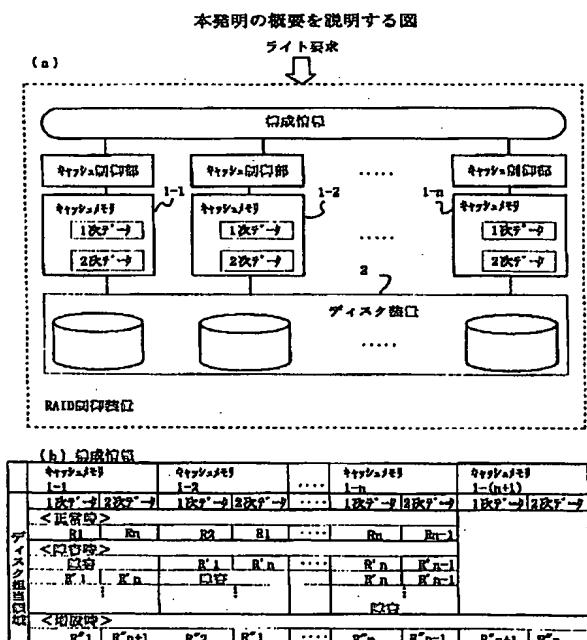
| | | | |
|----------|-----------------------------|---------|---|
| (21)出願番号 | 特願2000-167483(P2000-167483) | (71)出願人 | 000005223 富士通株式会社 神奈川県川崎市中原区上小田中4丁目1番 1号 |
| (22)出願日 | 平成12年6月5日(2000.6.5) | (72)発明者 | 加藤 国史 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内 |
| | | (72)発明者 | 大村 英明 神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内 |
| | | (74)代理人 | 100100930 弁理士 長澤 俊一郎 (外1名) |
| | | | 最終頁に続く |

(54)【発明の名称】入出力制御装置

(57)【要約】

【課題】 全てのキャッシュメモリを有効に使用することができ、増設単位を1つとすることができる入出力制御装置を提供すること。

【解決手段】 キャッシュメモリ正常時には、処理装置からのライト要求に対して、正常時の上記構成情報に基づきデータを各キャッシュメモリ1-1～1-nに書き込んだ後、ライト要求の完了応答を返し、キャッシュメモリ上のライトデータをライト完了応答と非同期で1乃至複数のディスク装置2に書き出す。また、キャッシュメモリに障害が発生した場合は、障害が発生したキャッシュメモリが担当していた領域に書き出すライドデータを、残りのキャッシュメモリで分担する。さらに、キャッシュメモリを増設する場合には、増設時の構成情報に基づきデータを移動させた後、増設後の構成情報により処理装置からのライト要求に対してデータをキャッシュメモリに書き込む。



【特許請求の範囲】

【請求項1】 n ($n > 2$) 個のキャッシュメモリを備え、処理装置からのライト要求に対してデータをキャッシュメモリに書き込んだ後、ライト要求の完了応答を返し、キャッシュメモリ上のライトデータをライト完了応答と同期で1乃至複数のディスク装置に書き出す入出力制御装置であって、

キャッシュメモリの構成情報として、1乃至複数のディスクの領域をキャッシュメモリの個数nに分割し、ディスクのk ($k = 1 \sim n$) 番目の領域に書き出すライトデータの1次データと2次データを、それぞれk番目のキャッシュメモリとk番目のキャッシュメモリ以外のキャッシュメモリに順次割り当てた構成情報を設定することを特徴とする入出力制御装置。

【請求項2】 処理装置からのライト要求があったとき、ディスクの各領域にライトする1次データおよび2次データを上記割り当てられたキャッシュメモリに保持させたのち、処理装置にライト要求の完了応答を返し、上記キャッシュメモリに保持された一次データをディスク装置に書き出した後、その2次データをキャッシュメモリから削除することを特徴とする請求項1の入出力制御装置。

【請求項3】 キャッシュメモリの障害発生時の構成情報として、1乃至複数のディスクの領域を正常なキャッシュメモリの個数m ($m < n$) に分割し、ディスクのk ($k = 1 \sim m$) 番目の領域に書き出すライトデータの1次データと2次データを、それぞれk番目のキャッシュメモリとk番目以外のキャッシュメモリに順次割り当てた構成情報を設定し、

キャッシュメモリに障害が発生したとき、障害の発生したキャッシュメモリに保持されていた一次データに対応する2次データを直ちにディスク装置に書き出した後、障害発生時の構成情報により、処理装置からのライト要求に対してデータをキャッシュメモリに書き込むとともに、キャッシュメモリからディスク装置にデータを書き出すことを特徴とする請求項1または請求項2の入出力制御装置。

【請求項4】 キャッシュメモリ増設時の構成情報として、増設後のキャッシュメモリの個数をp個としたとき、1乃至複数のディスクの領域を正常なキャッシュメモリの個数pに分割し、ディスクのk ($k = 0 \sim p$) 番目の領域に書き出すライトデータの1次データと2次データを、k番目のキャッシュメモリとk番目以外のキャッシュメモリに順次割り当てた構成情報を設定し、

キャッシュメモリが増設されたとき、上記増設時の構成情報に基づき、キャッシュメモリに保持されたデータを移動させた後、増設後の構成情報により処理装置からのライト要求に対してデータをキャッシュメモリに書き込むとともに、キャッシュメモリからディスク装置にデータを書き出すことを特徴とする請求項1、2または請求

項3の入出力制御装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、多重化したキャッシュメモリにライトデータを保持する入出力制御装置に関する。

【0002】

【従来の技術】 レイド (RAID) 制御装置 (以下 RAID 制御装置という) は、通常キャッシュメモリを持ち、サーバからのライト要求に対しては、データをキャッシュメモリに書き込んだだけでライト要求の完了応答をサーバに返す。キャッシュメモリ上のライトデータはサーバへのライト完了応答と同期でディスク装置に書き出す。このような動作をライトバック動作と呼ぶ。キャッシュメモリを持ちライトバック動作を行うディスク装置のライト要求に対する応答時間はキャッシュメモリを持たないディスク装置に比べて格段 (約 10 倍) に短い。

【0003】 RAID 制御装置においては、ライトデータの永続性保証のため、通常 2 つのキャッシュメモリを持ち、2 つのキャッシュメモリにそれぞれライトデータを保持する (2 のキャッシュメモリに保持するライトデータを以下では 1 次データ、2 次データという)。このような構成にすることにより、一つのキャッシュメモリに障害が発生しても、もう一つのキャッシュメモリにライトデータが保持されているためデータを失うことはない。そして、通常、ライトデータの永続性保証のため、キャッシュメモリに障害が発生し、キャッシュメモリが 1 つになった時点で、すみやかにキャッシュメモリ上のライトデータをディスクに書き戻し、その後はライトデータのディスクへの書き込み同期を探ってライトデータ完了応答をサーバに返す動作となる。このような動作をライトスルーアクションと呼ぶ。キャッシュメモリ障害により、ライトバック動作からライトスルーアクションに移行することにより、ライト要求に対する応答時間は長くなる (約 10 倍)。

【0004】

【発明が解決しようとする課題】 上記、キャッシュメモリ障害によりライトスルーアクションに移行することによる性能劣化対策としては、予備のキャッシュメモリを準備しておき、キャッシュメモリ障害時にそれを使用する手法が考えられる。すなわち、図 10 (a) に示すように 2 つのキャッシュメモリ Cache 1, Cache 2 に加え、通常は使用されない予備のキャッシュメモリ Cache X を準備する。そして、例えばキャッシュメモリ Cache 1 の障害時、図 10 (b) に示すように、予備のキャッシュメモリ Cache X にライトデータの一次データと 2 次データを保持させる。このような構成により、キャッシュメモリ Cache 1 または Cache 2 に障害が発生しても、ライトバック動作を行うこ

とができる。上記手法をホットスペア方式と呼ぶ。

【0005】しかしながら、上記した従来方法には、以下の欠点がある。

(1) ホットスペア方式においては、図1-1(a)に示すように通常使われないキャッシュメモリを用意する必要があり、全てのキャッシュメモリを有効に使用することができない。

(2) ライトデータの永続性保証のため、前記したように2つのキャッシュメモリを使用する場合には、キャッシュメモリを増設する際、図1-1(b)に示すように必ず2個ずつ増設する必要があり、ホットスペア方式を用いる場合には、さらに通常使用されないキャッシュメモリを用意する必要がある。

本発明は上記事情に鑑みなされたものであって、全てのキャッシュメモリを有効に使用することができ、キャッシュメモリの増設単位を1つとすることができる入出力制御装置を提供することである。

【0006】

【課題を解決するための手段】図1は本発明の概要を説明する図であり、図1(a)は本発明の入出力制御装置の概略構成を示し、図1(b)はキャッシュメモリが正常時、障害時、およびキャッシュメモリ増設時における構成情報の一例を示す。同図(a)において、1-1～1-nはキャッシュメモリであり、各キャッシュメモリ1-1～1-nは、ライトデータを2重化し1次データ、2次データとして保持する。キャッシュメモリ正常時には、図1(b)の正常時の構成情報に示すように、1乃至複数のディスクの領域をキャッシュメモリの個数nに分割し、例えば、ディスク装置2のk(k=1～n-1)番目の領域R_kに書き出すライトデータの1次データと2次データを、それぞれk番目のキャッシュメモリとk+1番目のキャッシュメモリに保持し、ディスクのn番目の領域R_nに書き出すライトデータの1次データと2次データをそれぞれn番目のキャッシュメモリと1番目のキャッシュメモリに保持する。そして、処理装置からのライト要求に対して、上記構成情報に基づきデータを各キャッシュメモリに書き込んだ後、ライト要求の完了応答を返し、キャッシュメモリ上のライトデータをライト完了応答と非同期で1乃至複数のディスク装置2に書き出す。

【0007】キャッシュメモリに障害が発生した場合は、障害が発生したキャッシュメモリが担当していた領域に書き出すライトデータを、残りのキャッシュメモリで分担する。図1(b)の障害時の構成情報に示すように、1乃至複数のディスクの領域を正常なキャッシュメモリの個数m(m<n)に分割し、例えば、ディスクのk(k=1～m)番目の領域R'_kに書き出すライトデータの1次データと2次データを、それぞれk番目のキャッシュメモリとk+1番目のキャッシュメモリに保持し、ディスクのn番目の領域R'_nに書き出すライトデ

ータの1次データと2次データをそれぞれn番目のキャッシュメモリと1番目のキャッシュメモリに保持する。そして、キャッシュメモリに障害が発生したとき、障害の発生したキャッシュメモリに保持されていた一次データに対応する2次データを直ちにディスク装置に書き出した後、障害発生時の構成情報により、処理装置からのライト要求に対してデータをキャッシュメモリに書き込むとともに、キャッシュメモリからディスク装置にデータを書き出す。また、キャッシュメモリを増設する場合には、増設時の構成情報に基づき、キャッシュメモリに保持されたデータを移動させた後、例えば図1(b)に示す増設後の構成情報により処理装置からのライト要求に対してデータをキャッシュメモリに書き込むとともに、キャッシュメモリからディスク装置にデータを書き出す。以上のように、本発明においては、3つ以上のキャッシュメモリで、ライトデータを循環しながら2重化して保持し、あるキャッシュメモリに障害が発生した場合は、障害が発生したキャッシュメモリが担当していた領域に書き出すライトデータを、残りのキャッシュメモリで分担するようにしたので、n>2個の任意の数でキャッシュメモリの構成が可能となる。また、通常使用されないキャッシュメモリを用意する必要がなく、全てのキャッシュメモリを有効に使用することができる。

【0008】

【発明の実施の形態】図2は本発明の実施例のシステムの全体構成を示す図である。同図において、1-1はサーバ、1-2は前記したRAID制御装置であり、前記したようにサーバ1-1からのライト要求に対しては、データをキャッシュメモリに書き込んだだけでライト要求の完了応答をサーバに返し、キャッシュメモリ上のライトデータはサーバへのライト完了応答と非同期でディスク装置に書き出す(ライトバック動作)。RAID制御装置1-2は、インターフェース制御部1-2aと、構成情報管理部1-2bと、キャッシュ制御部1-2cとキャッシュメモリ1-2dと、ディスクを制御するディスク制御部1-2eと、複数のディスク装置1-2fから構成される。構成情報管理部1-2bには、サーバ1-1からのライトデータをどのキャッシュメモリに保持させるかを管理するための構成情報が格納されている。

【0009】図3に図2に示す装置のハードウェア構成例を示す。同図において、サブシステム制御部1-0-1は、チャネルI/F部を介して上位装置に接続されており、サブシステム制御部1-0-1はメモリ1-0-1a、MPU1-0-1b、バスインターフェース部1-0-1cを備えており、上記MPU1-0-1bはメモリ1-0-1aに格納されているプログラムに従って動作する。また、メモリ1-0-1aには、プログラムの他に、転送データや制御データが格納される。図3に示すサブシステム制御部1-0-1は、図2に示すキャッシュ制御部1-2c、キャッシュメモリ1-2dを備えており、図3のサブシステム制御部1-0-1

は、図2におけるインターフェース制御部12a、構成情報管理部12b、キャッシュ制御部12c、キャッシュメモリ12dから構成される部分に対応する。103はデバイス制御部であり、デバイス制御部103は、バッファ103a、MPU103b、上記MPU103bを動作させるプログラム等を格納したメモリ103c、バスインターフェース部103dを備えている。上記サブシステム制御部101とデバイス制御部103はバスBUSを介して接続されており、デバイス制御部103はデバイスI/F部104を介してディスクドライブ群105に接続される。図3に示すデバイス制御部103は図2に示すディスク制御部に対応する。

【0010】本実施例においては、キャッシュメモリは3つのキャッシュメモリ12d-1～12d-3から構成され、各キャッシュメモリは、ライトデータを2重化して、1次データ、2次データとして保持する。図4にキャッシュメモリが3つの場合の構成情報の一例を示す。また、図5(a)に通常時の各キャッシュメモリの担当論理ボリュームを、図5(b)にキャッシュメモリ12d-1に障害が発生した場合の担当論理ボリュームを示す。図4、図5(a)に示すように、通常時、キャッシュメモリ12d-1の担当論理ボリュームを1次データが1～10、2次データが21～30とし、キャッシュメモリ12d-2の担当論理ボリュームを1次データが11～20、2次データが1～10とし、キャッシュメモリ12d-3の担当論理ボリュームを1次データが21～30、2次データが11～20とする。この状態で例えば、キャッシュメモリ12d-1に障害が発生すると、図4に示す構成情報により、キャッシュメモリ12d-1～12d-3の担当論理ボリュームは、図5(b)に示すように、キャッシュメモリ12d-2の担当論理ボリュームは1次データが1～20、2次データが21～30となり、キャッシュメモリ12d-3の担当論理ボリュームは1次データが21～30、2次データが1～20となる。

【0011】すなわち、3個のキャッシュメモリで、ライトデータを循環しながら2重化し、あるキャッシュメモリに障害が発生した場合は、障害が発生したキャッシュメモリが担当していた論理ボリュームを残りのキャッシュメモリで分担する。そのため、構成情報には、通常時の各キャッシュメモリが担当する1次データと2次データの論理ボリューム名を定義しておき、さらに、各キャッシュメモリに障害が発生し、キャッシュメモリの数が減った場合の、各キャッシュメモリが担当する1次データおよび2次データの論理ボリューム名を定義しておく。

【0012】以上の例はキャッシュメモリが3個の場合であるが、一般的には、1～複数のディスクの領域をキャッシュメモリの個数nに分割し、キャッシュメモリの構成情報として、ディスクのk(k=1～n-1)番目

の領域に書き込むライトデータの1次データと2次データを、それぞれk番目のキャッシュメモリと、k番目以外のキャッシュメモリに順次保持させるように設定する。また、障害発生時の構成情報として、1乃至複数のディスクの領域を正常なキャッシュメモリの個数m(n < m)に分割し、ディスクのk(0 < k ≤ m-1)番目の領域にライトする1次データと2次データを、それぞれ、k番目のキャッシュメモリと、k番目以外のキャッシュメモリに順次に保持させるように構成情報を設定する。以上により、n(n ≥ 3)個の任意の数のキャッシュメモリの構成が可能となる。さらに、キャッシュメモリ増設時の構成情報を定義しておけば、動作中にキャッシュメモリ増設を行うことができる。

【0013】次に図6～図8により、全てのキャッシュメモリが正常に動作している通常時の動作、キャッシュメモリに障害が発生した時の動作、および、キャッシュメモリを増設する場合における動作について説明する。

(1) 正常時

全てのキャッシュメモリが正常に動作している場合、図6に示すように、インターフェース制御部12aは、正常時の構成情報を参照し、サーバ11から要求されたライトデータを、構成情報から決まる担当論理ボリュームに対応するキャッシュメモリ(1次データと2次データの両方)にライトし、サーバに完了応答を返す。一方、各キャッシュ制御部12cは図6に示すように正常時の構成情報を参照し、正常時の構成情報により決まる1次データを管理するキャッシュ制御部12cよりキャッシュメモリ12d-1～12d-3に書かれたデータをディスク装置12fに書き出す。

【0014】例えば、論理ボリュームが1～10の範囲へのライト要求であれば、1次データをキャッシュメモリ12d-1へ、2次データをキャッシュメモリ12d-2へライトする。キャッシュメモリ12d-1に書かれた1次データは、1次データを管理するキャッシュ制御部12cによりディスク制御部12eを通してディスク装置12fに書き出される。ディスク装置12fへの書き出しが完了すれば、キャッシュメモリ12d-2に書かれた上記2次データはキャッシュメモリ12d-2から削除される。

【0015】(2) キャッシュメモリに障害が発生した場合

キャッシュメモリi(キャッシュメモリが3個の場合、i=1～3)に障害が発生すると、図7に示すように、構成情報管理部12bは全インターフェース制御部12aと全キャッシュ制御部12cに通知する。障害の報告を受けたi+1番目のキャッシュ制御部12cは、ライトデータの永続性保証のため、正常時の構成情報に基づき、図7に示すように障害の発生したキャッシュメモリiが保持していた1次データと同じデータを持つi+1番目のキャッシュメモリ上にある2次データを、ディス

ク制御部12eを通して、速やかに、ディスク装置12fに書き出す。一方、各インターフェース制御部12bは、障害の発生が通知されると、キャッシングメモリ1障害時の構成情報を参照し、1次データと2次データをキャッシングメモリ1障害時の構成情報により決まるキャッシングメモリにライトし、サーバに完了応答を返す。また、各キャッシング制御部12c（上記1+1番目のキャッシング制御部も含む）は、キャッシングメモリ1の障害時の構成情報に基づき、1次データを管理するキャッシング制御部12cよりキャッシングメモリに書かれた1次データをディスク装置12fに書き出す。

【0016】例えば、前記図5（b）に示すように、キャッシングメモリ12d-1に障害が発生した場合、キャッシングメモリ12d-2上にあるキャッシングメモリ12d-1が担当していた論理ボリューム1から10に対応する2次データを、ディスク制御部12eを通してすみやかにディスク装置12fに書き出す。また、インターフェース制御部12bは、サーバ11から要求されたライト要求が、例えば、論理ボリューム1～10の範囲へのライト要求であれば、1次データをキャッシングメモリ12d-2へ、2次データをキャッシングメモリ12d-3にライトし、サーバに完了応答を返す。そして、各キャッシング制御部12cは障害時の構成情報に基づき、1次データを管理するキャッシング制御部12cよりキャッシングメモリに書かれた1次データをディスク装置12fに書き出す。

【0017】（3）キャッシングメモリ数を増設する場合構成情報管理部12bにはキャッシング増設前の構成情報に加え、キャッシング創設後の構成情報が設定され、キャッシングメモリが増設されると、図8に示すように構成情報管理部12bはキャッシングメモリ数の増設を、全インターフェース制御部12aとキャッシング制御部12cに通知する。各キャッシング制御部12cは、図8に示すようにキャッシングメモリ創設後の構成情報に従ったデータ配置になるように、キャッシングメモリ間でデータを移動させる。そして、キャッシングメモリに書かれたデータは、キャッシングメモリ創設後の構成情報により決まる1次データを管理するキャッシング制御部12cよりディスク制御部12eを通してディスク装置12fに書き出される。一方、各インターフェース制御部12aは、図8に示すように1次データと2次データをキャッシングメモリ創設後の構成情報より決まるキャッシングメモリにライトし、サーバ11に完了応答を返す。

【0018】例えば、図9に示すように、2個のキャッシングメモリ12d-1、12d-2を3個に増設する場合、キャッシングメモリ12d-3の増設が、全インターフェース制御部12aと全キャッシング制御部12cに通知される。これにより、各キャッシング制御部12cは、キャッシングメモリ12d-2の論理ボリューム16～20に対応する1次データを、図9の点線矢印に示すように

キャッシングメモリ12d-3の論理ボリューム16～20に対応する1次データに移動する。同時に、キャッシングメモリ12d-1の論理ボリューム11～15に対応する2次データを、図9の点線矢印に示すようにキャッシングメモリ12d-3の論理ボリューム11～15に対応する2次データに移動する。当該キャッシングメモリ間のデータ移動中に発生するライトバックは、前記したように新しい構成情報で1次データを管理するキャッシング制御部により、ディスク制御部12eを通してディスク装置12fに書き出される。

【0019】即ち、論理ボリューム1～10はキャッシングメモリ12d-1のキャッシング制御部が、論理ボリューム11～15はキャッシングメモリ12d-2のキャッシング制御部が、論理ボリューム16～20はキャッシングメモリ12d-3のキャッシング制御部がディスク制御部12eを通してデータをディスク装置12fに書き出す。ライトバックが完了すると、対応する二次データをキャッシングメモリより削除する。論理ボリューム11～15に対応するキャッシングメモリ12d-2の2次データは、キャッシングメモリ12d-1がキャッシングメモリ12d-3のいずれかにがあるので、キャッシングメモリ12d-1とキャッシングメモリ12d-3の両方のキャッシング制御部に、2次データ削除を依頼し、2次データがあればキャッシングメモリから削除する。また、インターフェース制御部12aは、サーバ11から要求されたライトデータを、新構成情報から決まる担当論理ボリュームのキャッシングメモリ（1次データと2次データの両方）にライトし、サーバ11に完了応答を返す。例えば、論理ボリュームが11～15の範囲へのライト要求であれば、1次データをキャッシングメモリ12d-2へ、2次データをキャッシングメモリ12d-3へライトする。

【0020】

【発明の効果】以上説明したように、本発明においては、3つ以上のキャッシングメモリで、ライトデータを循環しながら2重化して保持し、あるキャッシングメモリに障害が発生した場合は、障害が発生したキャッシングメモリが担当していた領域に書き出すライトデータを、残りのキャッシングメモリで分担するようにしたので、キャッシングメモリの増設単位を1つとすることができます、また、従来のホットスペア方式に比して全てのキャッシングメモリを有効に活用できる。

【図面の簡単な説明】

【図1】本発明の概要を説明する図である。

【図2】本発明の実施例のシステムの全体構成を示す図である。

【図3】本発明の実施例のハードウェア構成例を示す図である。

【図4】キャッシングメモリが3つの場合の構成情報の一例を示す図である。

【図5】通常時および障害時に各キャッシングメモリが担

当する論理ボリュームの一例を示す図である。

【図6】キャッシュメモリ正常時の処理フローを示す図である。

【図7】キャッシュメモリ障害発生時の処理フローを示す図である。

【図8】キャッシュメモリ数増設時の処理フローを示す図である。

【図9】キャッシュメモリ増設時の動作を説明する図である。

【図10】従来のホットスペア方式を説明する図である。

【図11】ホットスペア方式の問題点を説明する図である。

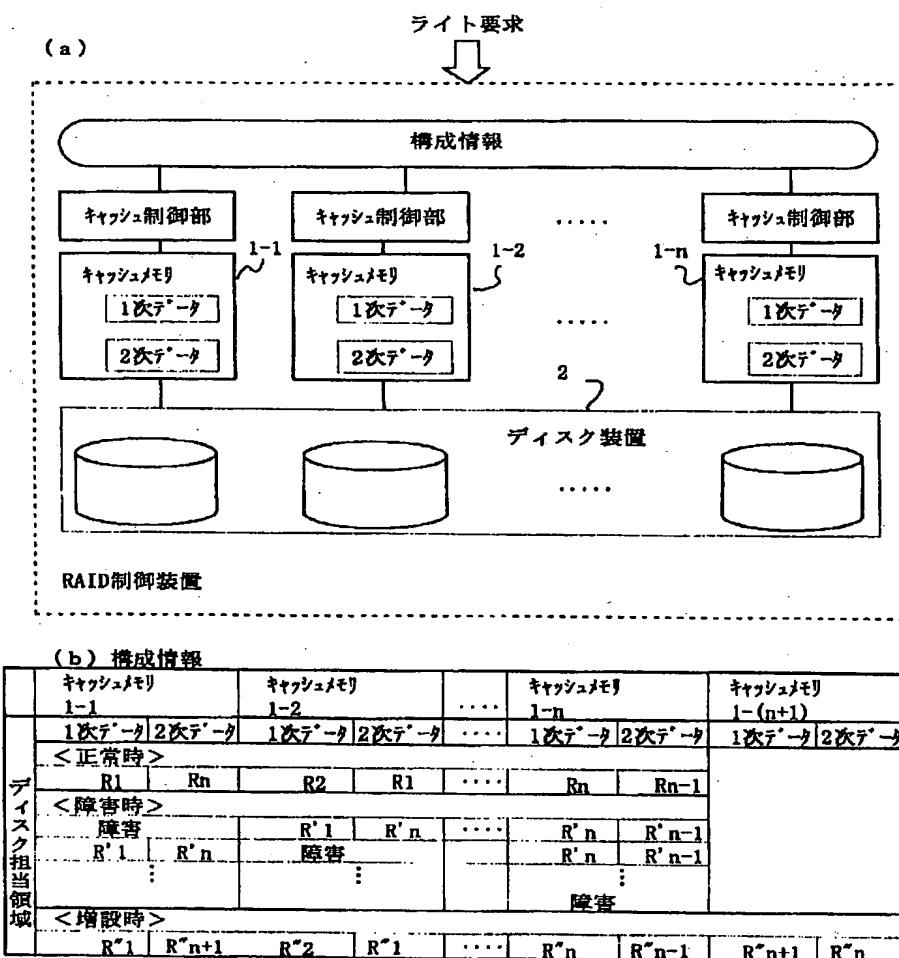
る。

【符号の説明】

| | |
|---------------|-------------|
| 1 - 1 ~ 1 - n | キャッシュメモリ |
| 2 | ディスク装置 |
| 05 1 1 | サーバ |
| 1 2 | R A I D制御装置 |
| 1 2 a | インターフェース制御部 |
| 1 2 b | 構成情報管理部 |
| 1 2 c | キャッシュ制御部 |
| 10 1 2 d | キャッシュメモリ |
| 1 2 e | ディスク制御部 |
| 1 2 f | ディスク装置 |

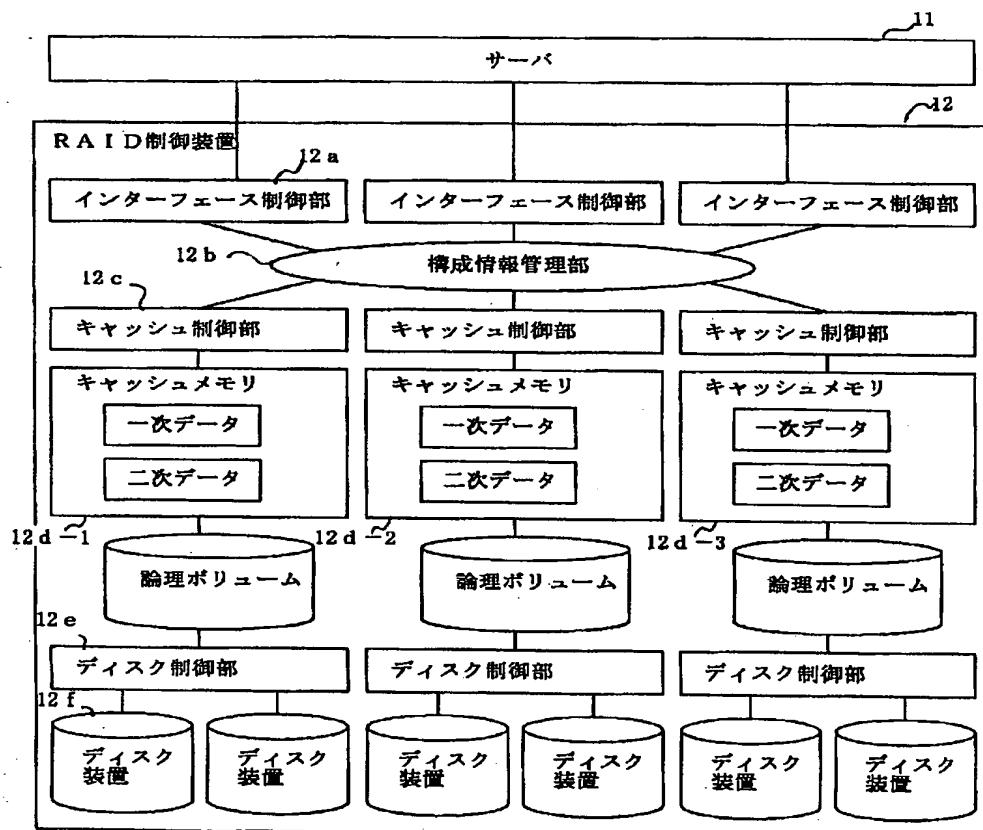
【図1】

本発明の概要を説明する図



【図2】

本発明の実施例のシステムの全体構成を示す図



【図4】

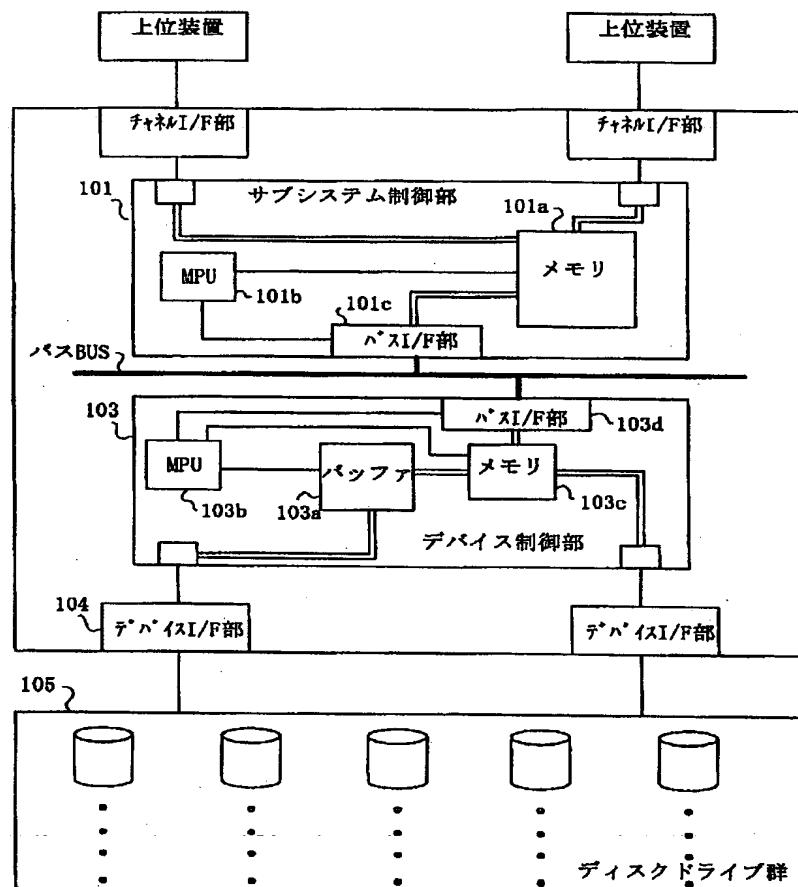
キャッシュメモリが3つの場合の構成情報の一例を示す図

構成情報

| 担当論理 ボリューム | キャッシュメモリ 12d-1 | | キャッシュメモリ 12d-2 | | キャッシュメモリ 12d-3 | |
|---------------|----------------|-------|----------------|-------------|----------------|-------|
| | 1次データ | 2次データ | 1次データ | 2次データ | 1次データ | 2次データ |
| | 1~10 | 21~30 | 11~20 | 1~10 | 21~30 | 11~20 |
| | 障害時 | | 1~20 | 21~30 | 21~30 | 1~20 |
| | 1~10 | 11~30 | 障害時 | | 11~30 | 1~10 |
| | 1~10, 21~30 | 11~20 | 11~20 | 1~10, 21~30 | 障害時 | |

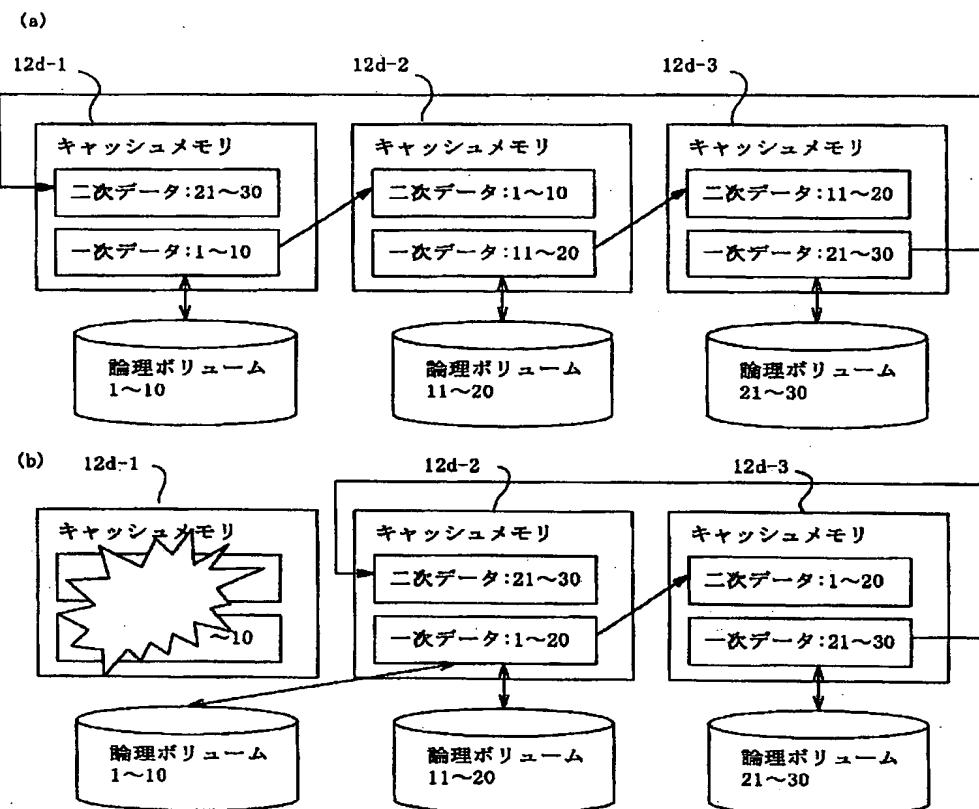
【図3】

本発明の実施例のハードウェア構成例を示す図



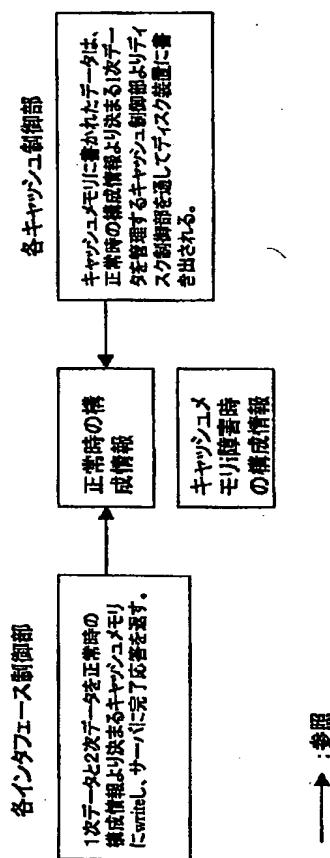
【図5】

通常時および障害時に各キャッシュメモリが担当する論理ボリュームの一例を示す図



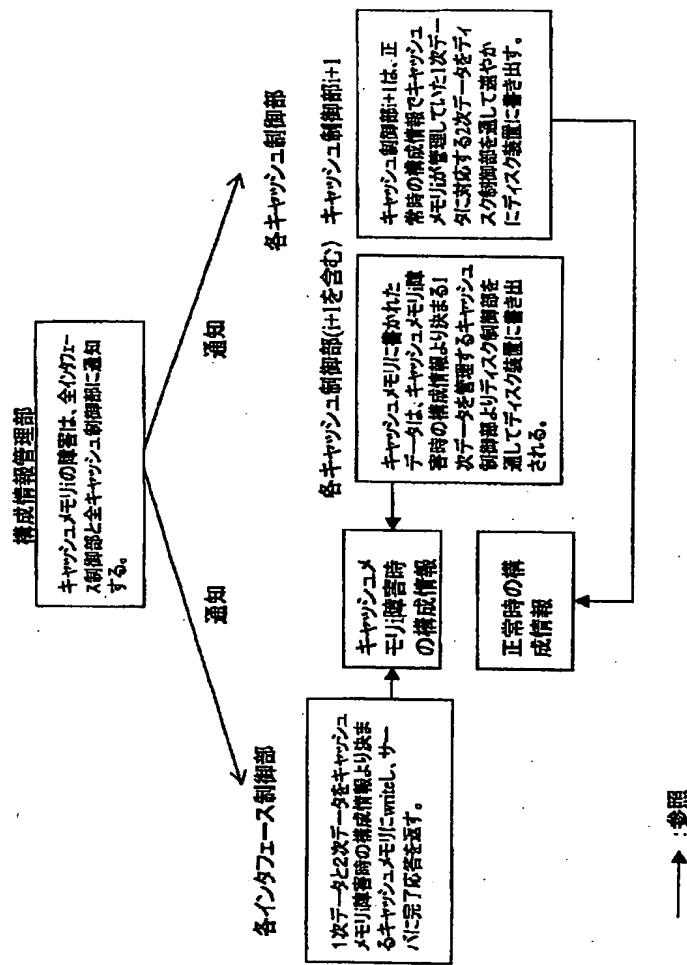
【図6】

キャッシュメモリ正常時の処理フローを示す図



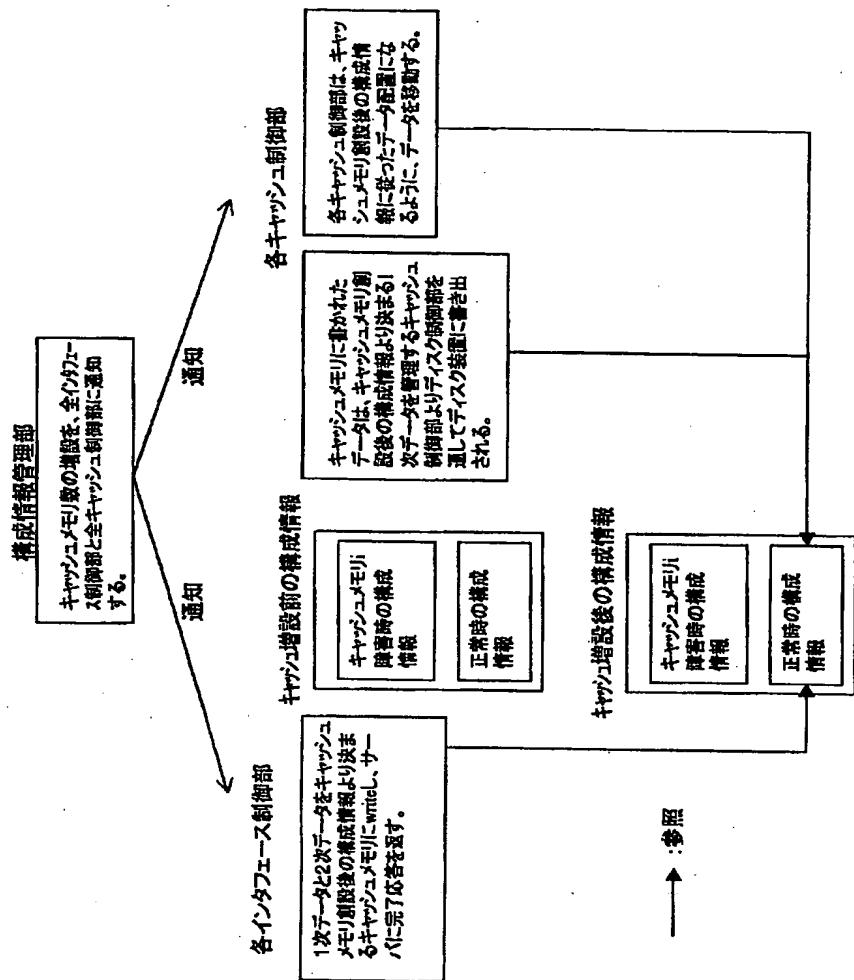
【図7】

キャッシングメモリ障害発生時の処理フローを示す図



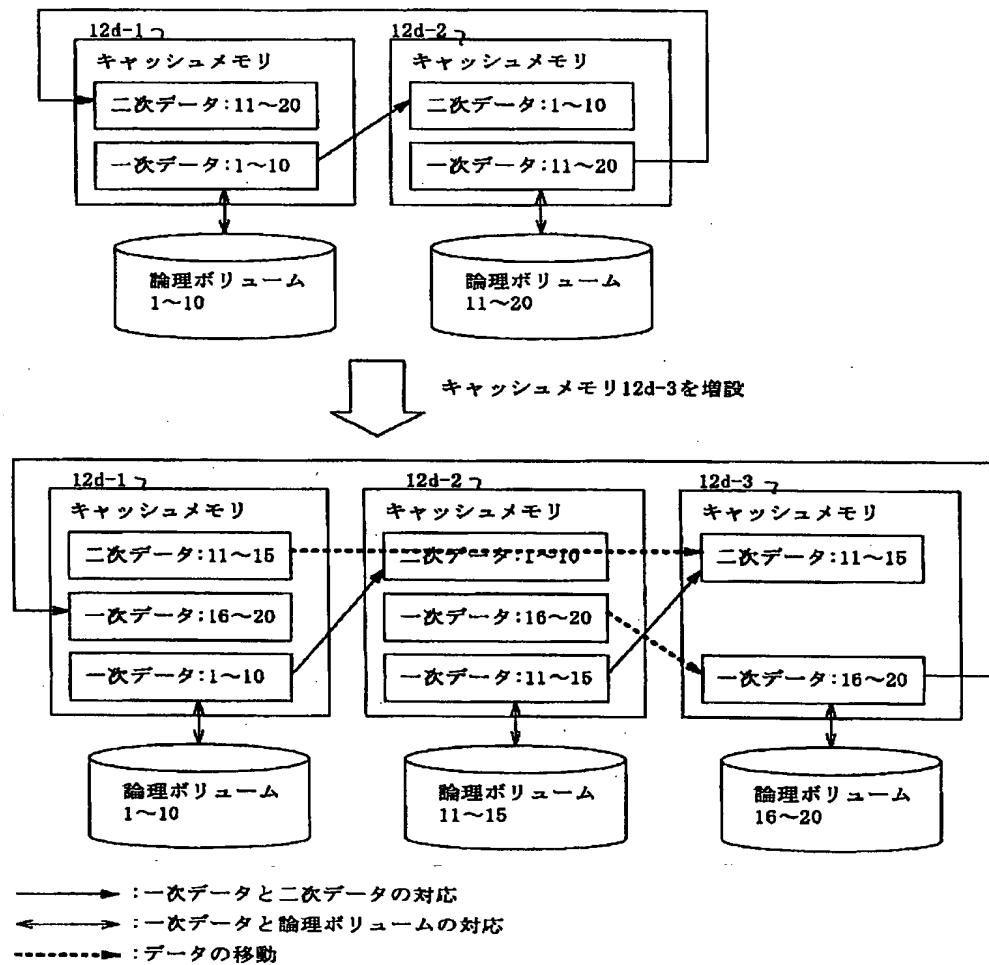
【図8】

キャッシュメモリ数増設時の処理フローを示す図



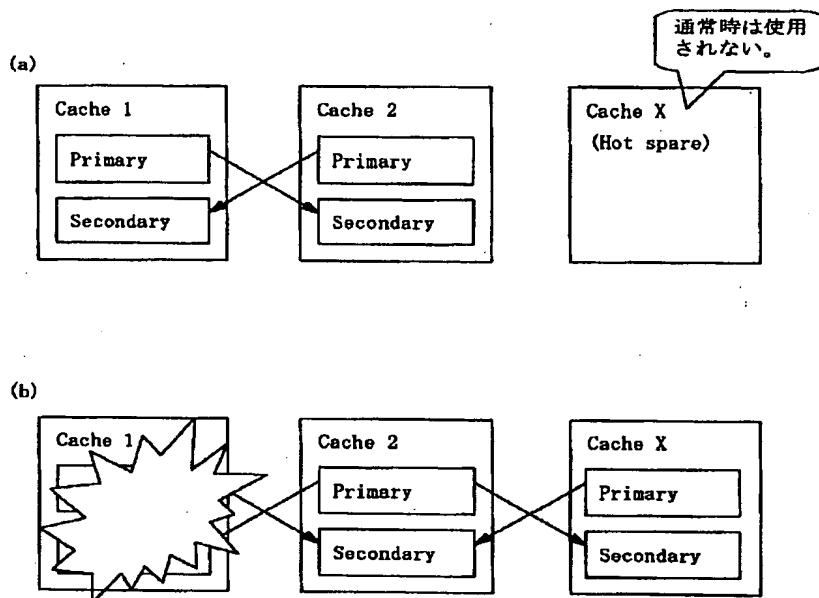
【図9】

キャッシュメモリ増設時の動作を説明する図



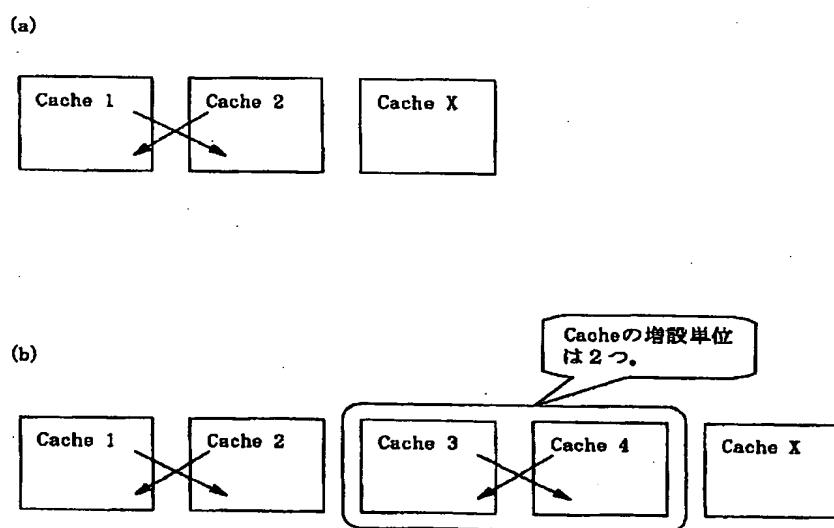
【図10】

従来のホットスペア方式を説明する図



【図11】

ホットスペア方式の問題点を説明する図



入出力制御装置

特開2001-344154

フロントページの続き

| | | | |
|----------------------------|-------|--------------|-------------|
| (51) Int. Cl. ⁷ | 識別記号 | F I | テ-マコ-ド (参考) |
| G 0 6 F 3/06 | 3 0 6 | G 0 6 F 3/06 | 3 0 6 B |
| | 5 4 0 | | 5 4 0 |
| 12/16 | 3 1 0 | 12/16 | 3 1 0 J |
| 13/00 | 3 0 1 | 13/00 | 3 1 0 E |
| | | | 3 0 1 K |

(72) 発明者 久保田 裕美
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

| | | |
|----|------------|--|
| 10 | F ターム (参考) | 5B005 JJ01 KK15 MM12 PP02 PP03 VV11 WW11 |
| | | 5B018 GA04 HA04 MA03 QA16 |
| | | 5B065 BA01 CA15 CC08 CE12 CE14 CH02 EA18 |
| 15 | | 5B083 AA08 AA09 BB03 CC04 CD11 DD08 DD09 EE06 EF11 GG04 |